

Revision History

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>
1.0	New issue	Aug. 07,2023

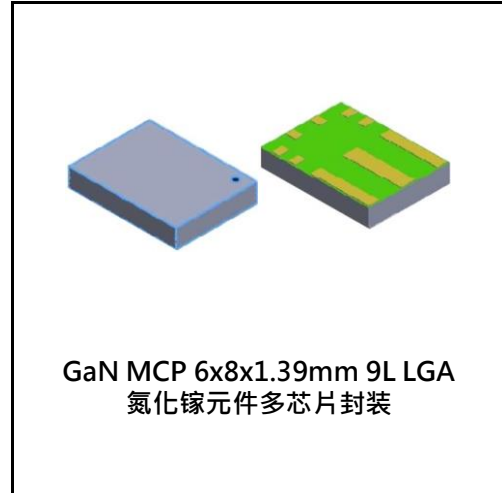
## 高功率 GaN FET 半桥功率级

### ■ 描述

CS9200 器件是一个 80V 功率级驱动器，驱动电流可达到 10A，该器件配置一个高频 GaN FET 驱动器来驱动内建的两颗 80V GaN FET 所组成的半桥功率级。并将所需器件均安装在完全无键合线的封装平台上，并最大限度地减少了封装寄生组件。

该器件提供了比使用离散式组件来驱动 GaN FET 更容易的设计以及提高扩展 GaN FET 的优势。对于需要在小型尺寸以及高频、高效能运行的应用来说，提供了一个非常理想的集成功率级解决方案。

CS9200 器件采用 6×8×1.39mm 9L LGA 无铅封装，可轻松安装在 PCB 上。



### ■ 特征

- 独立的高侧和低侧 CMOS 逻辑输入
- 集成 3.7mΩ GaN FET 和驱动器
- 高侧输入工作电压范围达 80 伏
- 快速输入-输出转换时间 (典型值 30ns)
- 优化高低侧延迟匹配时间 (典型值 2 ns)
- 内建欠压锁定(UVLO)
- 封装优化，方便 PCB 布局

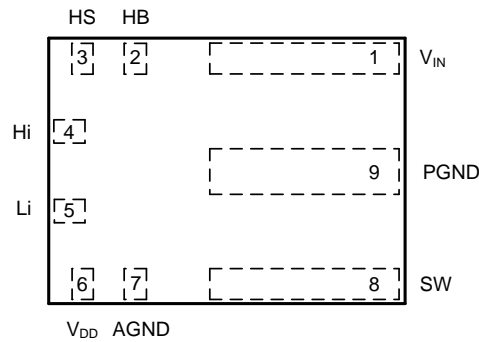
### ■ 應用

- D 類音頻放大器
- 電流饋電推挽式轉換器
- 同步 Buck 轉換器
- 雙開關正激變換器
- 高功率密度單/三相馬達驅動器

## ■ 订购及器件信息

<p><b>CS9200 X</b></p> <p>(1) GaN FET 類型</p> <p>(2) 零件編號</p> <p>...</p>	<p>GaN FET 类型</p> <p>(1) E: A 類型 GaN FET</p> <p>(2) N: B 類型 GaN FET</p>
---	---

## ■ 引脚配置

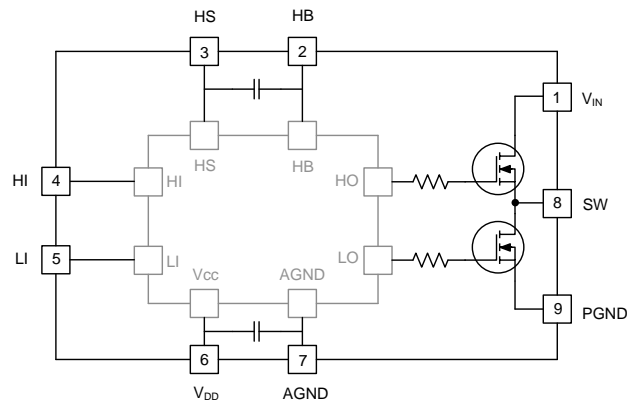


顶视图

## ■ 引脚说明

编号	名称	描述
1	V <sub>IN</sub>	电源输入引脚·连接至高侧 GaN FET 漏极
2	HB	高侧自举电压引脚
3	HS	高侧GaN FET 源极连接引脚
4	HI	高侧驱动控制输入
5	LI	低侧驱动控制输入
6	V <sub>DD</sub>	5V 栅极驱动电源
7	AGND	類比接地
8	SW	开关节点·与 HS 引脚电气短路
9	PGND	电源接地·低侧 GaN FET 源极。

## ■ 简化方块图



## ■ 绝对最大额定值 (注 1)

参 数	额定值	单位
$V_{IN}$ to PGND	0 ~ +80	V
HB to AGND	-0.3 ~ +87	V
HS to AGND	-5 ~ +80	V
$V_{DD}$ to AGND	-0.3 ~ +7	V
HB to HS	-0.3 ~ +7	V
HB to $V_{DD}$	0 ~ +80	V
SW to PGND	-5 ~ +80	V
LI or HI 输入	-0.3 ~ +7	V
结温	125	°C
储存温度范围	-40 ~ +150	°C

## ■ 推荐的操作条件 (注2)

参 数	额定值	单位
$V_{IN}$	0 ~ +80	
$V_{DD}$	+4.5 ~ +5.5	V
LI or HI 输入	0 ~ +5.5	V
HS	-5 ~ 80	V
HB	$V_{HS} + 4 \sim V_{HS} + 5.5$	V
HS 转换速率	<50	V/ns
结温	-40 ~ +125	°C

注1: 长时间操作在绝对最大额定值或超出额定值所列的范围可能会对器件造成永久性损坏以及影响器件的可靠性。

注2: 必需在正确环境下进行设计, 若设备工作在操作条件之外则不保证能正常工作。

## ■ 电气特性

典型值代表 TA=25°C 时的参数标准, VDD=VHB=5V

参 数	名称	条件	最小	典型值	最大	单位
<b>电流</b>						
V <sub>DD</sub> 静态电流	I <sub>DD</sub>	LI=HI=0V, V <sub>DD</sub> =V <sub>HB</sub> =5V		0.08		mA
V <sub>DD</sub> 工作电流	I <sub>DDO</sub>	f=500kHz		4.5		mA
总 HB 静态电流	I <sub>HB</sub>	LI=HI=0V		0.09		mA
总 HB 工作电流	I <sub>HBO</sub>	f=500kHz		4.5		mA
<b>输入</b>						
输入临界电压	V <sub>IR</sub>	上升沿	1.85	2	2.15	V
输入临界电压	V <sub>IF</sub>	下降沿	1.55	1.7	1.85	V
输入滞后电压	V <sub>IHYS</sub>			300		mV
输入下拉电阻	R <sub>I</sub>			200		kΩ
<b>欠压保护</b>						
V <sub>DD</sub> 上升临界电压	V <sub>DDR</sub>		3.2	3.8	4.5	V
V <sub>DD</sub> 滞后临界电压	V <sub>DDH</sub>			0.25		V
HB 上升临界电压	V <sub>HBR</sub>		2.4	3.1	3.8	V
HB 滞后临界电压	V <sub>HBH</sub>			0.25		V
<b>功率级</b>						
高侧 GaN FET 导通电阻	R <sub>DS(ON)HS</sub>	LI=0V, HI=V <sub>DD</sub> =5V, HB-HS=5V, V <sub>IN</sub> -SW=5A, T <sub>J</sub> = 25°C		3.7	4.5	mΩ
低侧 GaN FET 导通电阻	R <sub>DS(ON)LS</sub>	LI=V <sub>DD</sub> =5V, HI=0V, HB-HS=5V, SW-PGND=5A, T <sub>J</sub> = 25°C		3.7	4.5	mΩ
SW to V <sub>IN</sub> 正向电压	V <sub>SD</sub>	I <sub>SD</sub> =500mA, V <sub>IN</sub> floating, V <sub>DD</sub> =5V, HI=LI=0V		1.5		V
泄漏电流(从 VIN 到 SW) · 高侧和低侧 GaN FET 关闭	I <sub>L-VIN-SW</sub>	V <sub>IN</sub> =80V, HI=LI=0V, V <sub>DD</sub> =5V, T <sub>J</sub> =25°C		80	350	μA
泄漏电流(从 SW 到 GND) · 高侧和低侧 GaN FET 关闭	I <sub>L-SW-GND</sub>	SW=80V, HI=LI=0V, V <sub>DD</sub> =5V, T <sub>J</sub> =25°C		80	350	μA

## ■ 电气特性 (延续)

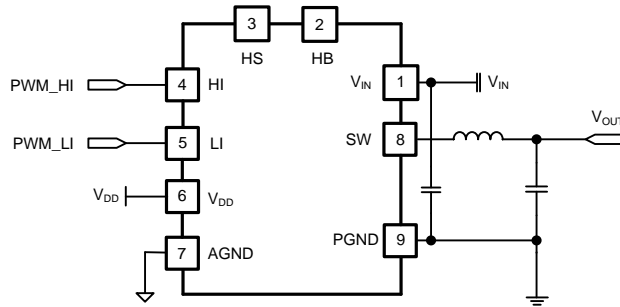
参 数	名称	条件	最小	典型值	最大	单位
自举二极管和钳位						
低电流正向电压	$V_{DL}$	$I_{VDD-HB}=100\mu A$		0.4		V
大电流正向电压	$V_{DH}$	$I_{VDD-HB}=50mA$		0.9		V
动态电阻	$R_D$	$I_{VDD-HB}=50mA$		1.85	3.6	$\Omega$
HB-HS 钳位电压	$V_{CLAMP}$		4.5	5	5.5	V

## ■ 开关特性

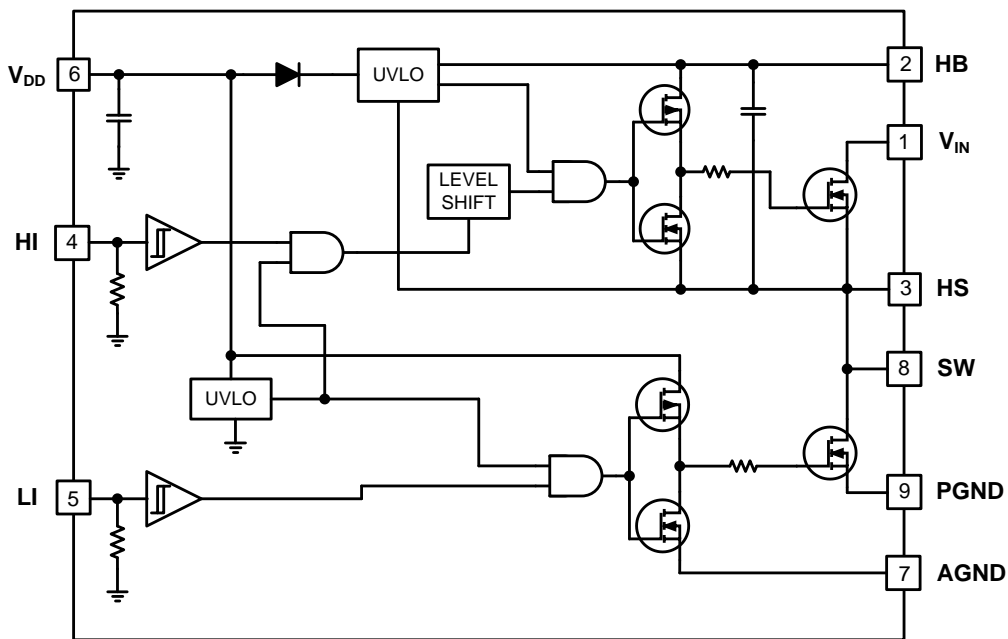
(在自然通风的工作温度范围内)

参 数	名称	条件	最小	典型值	最大	单位
转换延迟: HI 上升	$t_{HIPLH}$	LI=0V, $V_{DD}=5V$ , HB-HS=5V, $V_{IN}=30V$		30	60	ns
转换延迟: HI 下降	$t_{HIPHL}$	LI=0V, $V_{DD}=5V$ , HB-HS=5V, $V_{IN}=30V$		30	60	ns
转换延迟: LI 上升	$t_{LPLH}$	HI=0V, $V_{DD}=5V$ , HB-HS=5V, $V_{IN}=30V$		30	60	ns
转换延迟 LI 下降	$t_{LPHL}$	HI=0V, $V_{DD}=5V$ , HB-HS=5V, $V_{IN}=30V$		30	60	ns
延迟匹配: LI high & HI low	$t_{MON}$			2	8	ns
延迟匹配: LI low & HI high	$t_{MOFF}$			2	8	ns
最小输入脉冲宽度	$t_{PW}$			10		ns

## 基本应用线路



## 功能方块图



## ■ 操作说明

CS9200 是半桥 GaN 功率级，具有高度集成的高侧和低侧栅极驱动器，其中包括内置 UVLO 保护电路和过压钳位电路。该器件在半桥配置中集成了两个  $3.7\text{m}\Omega$  GaN FET。该器件可用于许多隔离和非隔离拓扑，从而实现非常简单的集成。LGA封装旨在最大限度地减少环路电感，同时保持 PCB 设计简单。

带钳位功能的内置自举电路可防止高侧栅极驱动超过 GaN FET 的最大栅源电压，无需任何额外的外部电路。内置驱动器在 VDD 和自举 (HB-HS) 电源轨上具有欠压锁定 (UVLO)。当电压低于 UVLO 阈值电压时，器件会忽略 HI 和 LI 信号，以防止 GaN FET 部分导通。

## ■ PWM 输入

CS9200 的输入引脚是独立控制的。该输入直接连接到具有 5V 电源的模拟 PWM 控制器的输出。可以根据设计需求灵活地优化死区时间，但 CS9200 没有重叠保护功能。如果 HI 和 LI 均有效，则高侧和低侧 GaN FET 都会导通。必须仔细考虑控制输入以避免击穿情况。

## ■ 高侧驱动器

高侧驱动器设计为“浮动”，这意味着其参考（接地）与 CS9200 的 SW 引脚浮动，该引脚通常连接到 N 沟道 GaN FET 的源极。高侧驱动器的偏置电压通过自举开关（二极管）提供给 HB 引脚，以便每次低侧 GaN 器件开启时可以对内部电容器 (HB-HS) 充电。当高侧 GaN FET 导通时，SW 上升至 VIN，迫使 HB 引脚电压达到  $V_{IN}+V_{DD}$ ，从而提供保持高侧 GaN FET 导通的电压。

高侧偏置电压是使用自举技术生成的，并在内部钳位在 5V（典型值）。该钳位可防止栅极电压超过 GaN FET 的最大栅-源电压额定值。

## ■ 低侧驱动器

低侧驱动器设计用于驱动源极接地 GaN FET。低侧驱动器的偏置在内部连接到 VDD 电源和 GND。

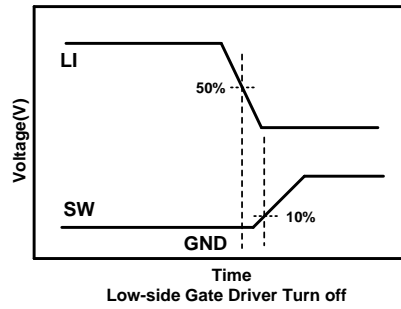
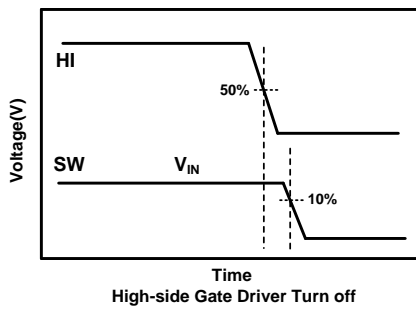
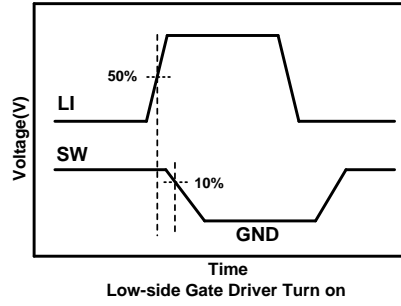
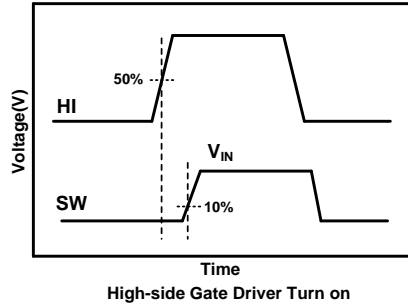
## ■ 启动和欠压锁定

CS9200 在 VDD 和自举电源上均具有欠压锁定 (UVLO)。当 VDD 电压低于阈值电压 3.8V 时，HI 和 LI 输入均被忽略，以防止 FET 部分导通。此外，如果有足够的 VDD 电压，驱动器会主动将高侧和低侧栅极驱动器输出拉低。200 mV 的 UVLO 阈值迟滞可防止电压尖峰引起的抖动和意外开启。



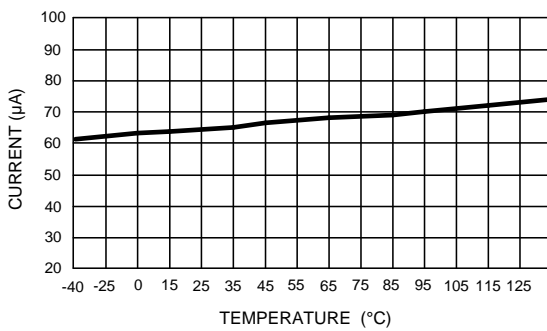
## ■ 转换延迟测量

下图显示了开启和关闭转换延迟的时间定义。

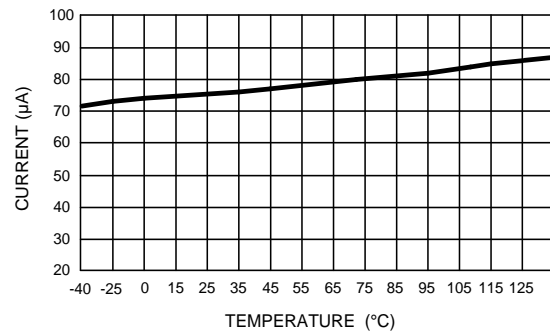


## ■ 基本特性曲线

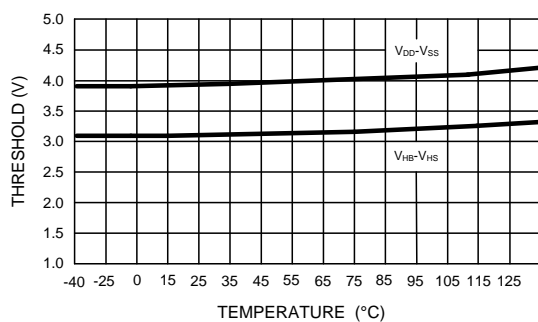
$I_{DD}$  vs Temperature



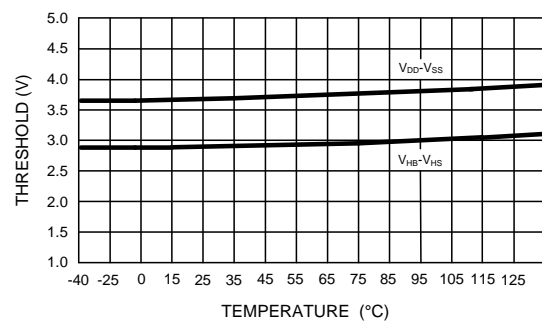
$I_{HB}$  vs Temperature



UVLO Rising Threshold vs Temperature

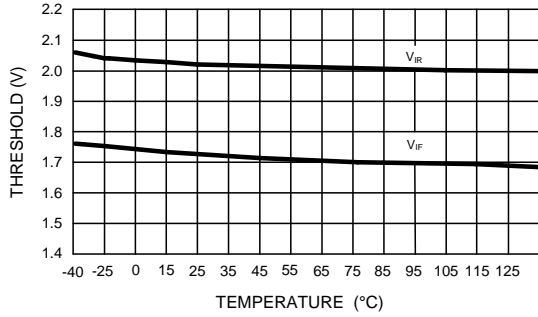


UVLO Falling Threshold vs Temperature

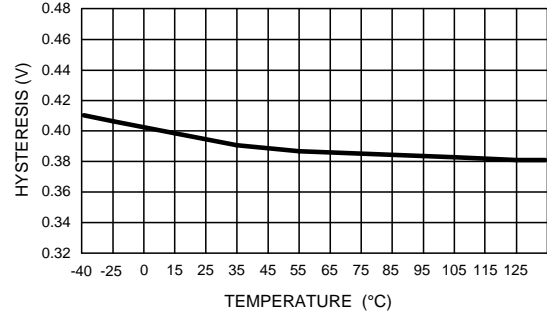


## 基本特性曲线(延续)

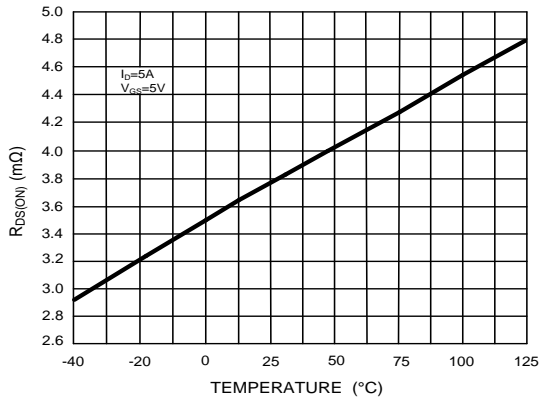
Input Threshold vs Temperature



Input Threshold Hysteresis vs Temperature

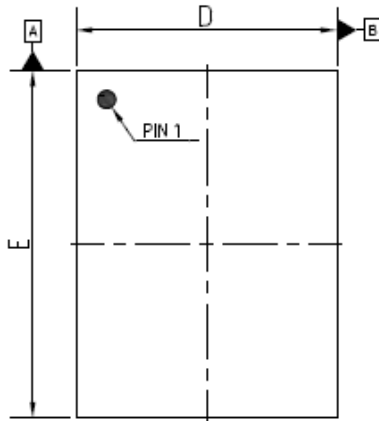


GaN FET on-resistance vs Temperature

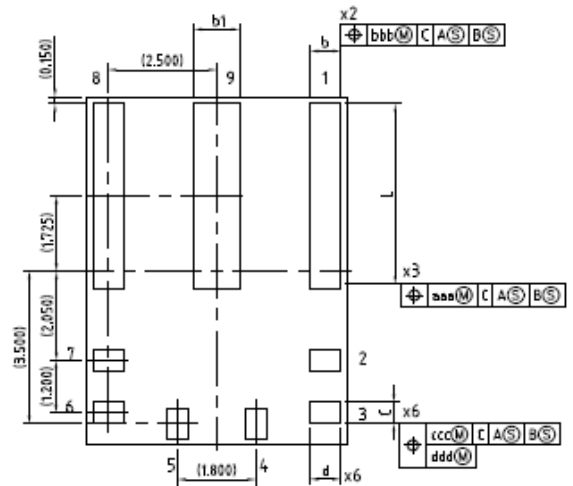


## ■ 封装尺寸

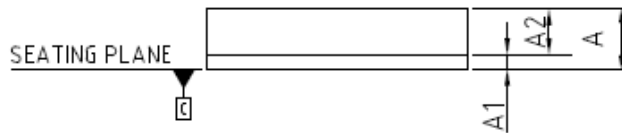
9L LGA封装外形尺寸6 x 8 x 1.39 mm



Top View



Bottom View



Side View

Symbol	Dimension in mm		
	Min	Norm	Max
A	1.33	1.39	1.44
A1	0.30	0.34	0.38
A2	1.03	1.05	1.06
D	5.90	6.00	6.10
E	7.90	8.00	8.10
b	0.65	0.70	0.75
b1	1.00	1.05	1.10
L	4.20	4.25	4.30
c	0.45	0.50	0.55
d	0.65	0.70	0.75
aaa	0.05		
bbb	0.05		
ccc	0.10		
ddd	0.08		